

ARQUITECTURA FLEXIBLE PARA IMAGEN ULTRASÓNICA DE ALTA CALIDAD

PACS: 43.35.Yb

J. F. Cruza; J. Camacho; J.M. Moreno; J. Brizuela; C. Fritsch
Grupo UMEDIA (Ultrasound for Medical and Industrial Applications)
Consejo Superior de Investigaciones Científicas (CSIC)
La Poveda, 28500 Madrid, Spain
Tel: 918 711 900
Fax: 918 717 050
E-mail: jorge.fernandez.cruza@iai.csic.es; jorgecam@iai.csic.es; jm.moreno@csic.es;
brizuela@iai.csic.es; carlos@iai.csic.es

ABSTRACT

This work presents a systolic architecture based on DSP cells available in state-of-the art FPGA devices, implementing a reception beamformer with dynamic focusing. This architecture shows several advantages: minimum hardware resource requirements, multiple beamforming possibility and low power consumption. Differently from other conventional techniques, the sample interpolating process required to achieve a high temporal resolution is here performed in parallel with the coherent sum, in consecutive steps, using a single DSP cell per channel.

RESUMEN

Se presenta una arquitectura sistólica basada en celdas DSP disponibles en los actuales dispositivos FPGA, para implementar la conformación del haz en recepción con focalización dinámica. Esta arquitectura presenta diversas ventajas: mínima utilización de recursos hardware, posibilidad de realizar la conformación de múltiples líneas en paralelo y bajo consumo energético. A diferencia de otras técnicas convencionales, en ésta se realiza la interpolación de muestras necesaria para obtener una alta resolución temporal en paralelo con la suma coherente en etapas consecutivas, requiriendo una única celda DSP por canal.

INTRODUCCIÓN

El proceso de conformación realiza la deflexión y enfoque del haz ultrasónico. En emisión, basta aplicar retardos a las excitaciones de los elementos tales que compensen las diferencias en los tiempos de vuelo elemento-foco. Es, pues, un proceso simple, pero sólo puede crear un foco. En recepción es posible crear múltiples focos a lo largo de la línea de propagación del pulso emitido, modificando dinámicamente los retardos aplicados a las señales recibidas por cada elemento. Se trata de compensar las diferencias en los tiempos de vuelo de los ecos desde cada foco a cada elemento. Este proceso es más complejo y, actualmente, se realiza en el dominio digital (Fig. 1).

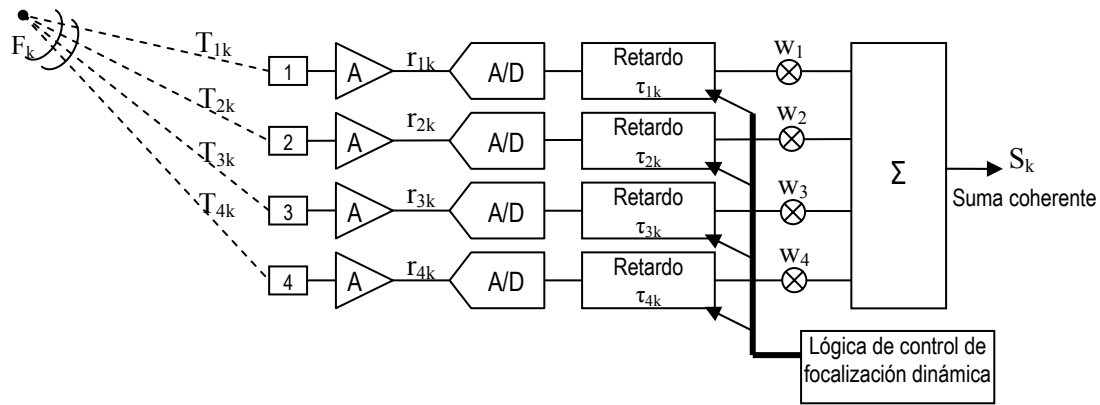


Figura 1. Diagrama de bloques de un conformador digital en recepción

En cada canal, una vez amplificadas las señales recibidas, se digitalizan y se aplica el retardo correspondiente al foco actual k . Tras multiplicar por un factor w_i o apodización, típicamente entre 0 y 1, los resultados de todos los canales se suman (suma coherente). El control de la focalización dinámica que modifica los retardos para cada foco, se realiza mediante una lógica centralizada o distribuida.

Los retardos pueden implementarse con registros de desplazamiento variable pero, en general, esta opción no es válida. La razón es que la resolución temporal debe ser mucho mayor que la de la frecuencia de muestreo para evitar la formación de lóbulos de cuantización de los retardos [1]. Para un array con N elementos, la relación μ entre el periodo fundamental de la señal ultrasónica T_R y la resolución temporal del sistema T_X debe ser [2]:

$$\mu = \frac{T_R}{T_X} \geq 2\pi \sqrt{\frac{N}{6}} \quad (1)$$

Así, para un caso mínimo $N=16$, la resolución temporal debería ser al menos 10 veces menor que el periodo de la señal, cuando la frecuencia de muestreo puede ser sólo 4 veces superior a la de la señal según el criterio de Nyquist (transductores de banda ancha). En el caso más común en medicina y NDT, donde $N=64$ a 128, la diferencia entre la resolución temporal requerida y el periodo de muestreo es aún mucho mayor. Por ejemplo, para un transductor de banda ancha de 10 MHz de frecuencia central, la de muestreo puede ser de 40 MHz (periodo 25 ns), pero la resolución requerida para los retardos según (1) debe ser de 3.4 ns (frecuencia equivalente de muestreo del orden de los 300 MHz!).

A lo largo de los años se han dado diversas alternativas para abordar este problema. En general, se pueden agrupar en tres tipos de técnicas:

- a) *Técnicas de interpolación dinámica.* Cada canal dispone de un interpolador con la suficiente resolución para obtener el valor de la muestra. Cada interpolador puede realizarse con un filtro FIR colocado antes de realizar la suma coherente [3]. Otra opción [4] inserta ceros entre las muestras adquiridas y utiliza un único filtro paso-bajo a la salida, pero no es válida para focalización dinámica por ser ésta una operación no invariante en el tiempo [5].
- b) *Sobremuestreo con técnicas $\Sigma\Delta$.* En este caso se utilizan conversores A/D tipo $\Sigma\Delta$ de un único bit que van directamente sobremuestreados a la frecuencia necesaria para obtener la resolución temporal y evita la interpolación [6-7]. Requiere la integración mixta de señales analógicas y digitales, con posibles problemas de ruido.
- c) *Técnicas de muestreo selectivo.* Adquieren la señal en el instante en que el eco correspondiente a cada foco llega a cada elemento [8-9]. No requieren interpolación, pero demandan que los conversores A/D dispongan de un reloj separado accionado

por un generador de fase variable por cada canal o, alternativamente, realizar un proceso de interpolación para operar con un único reloj de adquisición.

De este modo, salvo la metodología $\Sigma\Delta$, las otras requieren un proceso de interpolación para conseguir una resolución temporal suficiente. Para ello, una alternativa es diseñar un banco con L filtros fraccionales [10] que proporcionan muestras a intervalos $1/L, 2/L, \dots, 1$ del periodo de muestreo, seleccionando la más cercana a la requerida por cada foco. Cada filtro requiere un número P de coeficientes suficientemente grande para obtener una buena precisión; típicamente, $P \approx L$.

Su realización física ocupa una importante área de silicio. Por ejemplo, en una realización totalmente paralela, se requieren $P \cdot L \cdot N$ operadores de multiplicación y suma, además del área ocupada por la suma coherente ($N-1$ sumadores en un diseño segmentado). Su realización con lógica distribuida en las FPGAs (bloques lógicos o CLBs), reduce el número de canales que pueden integrarse en un único dispositivo y, además, consume mucha energía. Una opción es utilizar tecnología ASIC [11], pero esto limita las opciones de configuración del conformador y elimina las posibilidades de actualización.

Este trabajo presenta un método diferente, que utiliza las celdas DSP presentes en los dispositivos FPGA actuales. Estas celdas están realizadas en silicio, pudiendo operar a alta frecuencia (por encima de 300 MHz) y con un consumo energético limitado, similar al de una realización ASIC. La técnica permite la actualización del diseño y, además, es modular y escalable. Con la arquitectura propuesta es posible integrar un conformador completo para 128 canales en un único dispositivo.

ALGORITMO DEL CONFORMADOR

El proceso de conformación estándar realiza la siguiente operación (ver Fig. 1):

$$S(k) = \sum_{i=1}^N w_i r_i[k - T_i(k)] \quad (2)$$

donde $S(k)$ representa la suma coherente para el foco k , w_i es el factor de apodización aplicado al canal i , $T_i(k)$ es el retardo de focalización para el foco k en el canal i (en periodos de muestreo) y $r_i[k - T_i(k)]$ representa la señal recibida y retrasada.

Salvo cuando $T_i(k)$ es entero, no se dispone del valor $r_i[k - T_i(k)]$ a partir de los datos de entrada y debe ser estimado por interpolación. Para conseguir una resolución temporal L veces superior al periodo de muestreo, el retardo $T_i(k)$ se redondea al múltiplo más próximo de $1/L$, proporcionando una parte entera $M_i(k)$ y otra fraccionaria $m_i(k)/L$, todas expresadas en periodos de muestreo: $T_i(k) = M_i(k) + m_i(k)/L$. El valor de la muestra interpolada $r_i[k - T_i(k)]$ se puede obtener con un filtro FIR de retardo fraccional con P coeficientes $\{h_m(1), h_m(2), \dots, h_m(P)\}$ como:

$$r_i[k - T_i(k)] = r_i[k - M_i(k) - \frac{m_i(k)}{L}] \approx \sum_{j=1}^P h_{m_i,k}(j) r_i[k - M_i(k) - j] \quad (3)$$

donde el filtro se aplica a las P muestras anteriores a la $n_{ik} = k - M_i(k)$, un índice entero gestionado por el controlador de focalización dinámica. En [9] se describe una realización particularmente eficiente para este controlador. Los coeficientes cambian con m, i y k .

$$r_i[k - T_i(k)] \approx \sum_{j=1}^P h_{m_i,k}(j) r_i(n_{ik} - j) \quad (4)$$

Sustituyendo (4) en (2) se obtiene,

$$S(k) = \sum_{i=1}^N w_i \sum_{j=1}^P h_{m_i,k}(j) r_i(n_{ik} - j) = \sum_{i=1}^N \sum_{j=1}^P h_{m_i,k}(j) w_i r_i(n_{ik} - j) \quad (5)$$

Cambiando el orden de los sumatorios e incluyendo el peso w_i en los coeficientes,

$$S(k) = \sum_{j=1}^P \sum_{i=1}^N h_{m_{i,k}}(j) r_i(n_{ik} - j) \quad (6)$$

La ecuación (6) expresa el algoritmo de la arquitectura sistólica propuesta. Se observa que la suma coherente de múltiples canales se imbrica con las operaciones parciales de interpolación, usando P ciclos de reloj para obtener el resultado final $S(k)$.

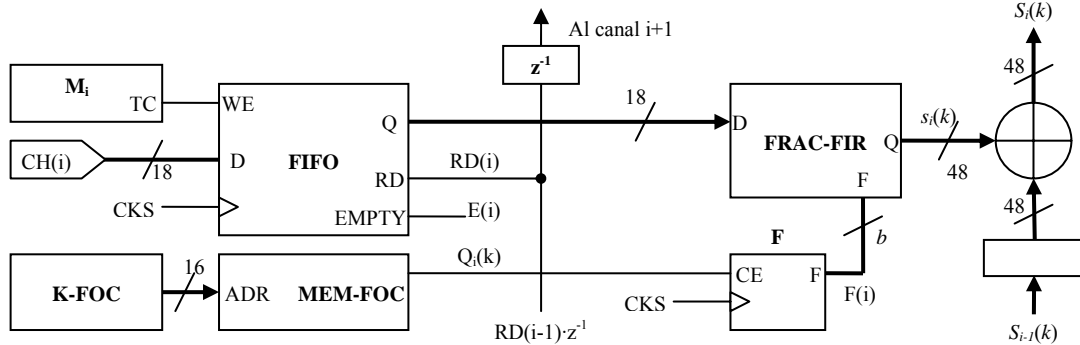


Figura 2. Elemento conformador para un canal

ARQUITECTURA

La Figura 2 muestra la estructura propuesta de un canal basado en celdas DSP-48 de Xilinx [12]. El retardo inicial M_i se realiza con un contador que habilita la adquisición de muestras sobre una memoria FIFO. La lectura de la cabeza del FIFO la provoca una lectura en el módulo anterior, con una latencia de 1 ciclo. Obviamente el primer módulo inicia las lecturas en su propio FIFO cuando todos contengan alguna muestra válida ($E(i)=0$ para todo i).

El elemento central del conformador es un filtro FIR de retardo fraccional (FRAC-FIR), realizado con una o más celdas DSP-48, en el que los coeficientes se modifican dinámicamente mediante el control de la lógica de focalización. En este caso se utiliza la técnica de Corrección Focal Progresiva [9], en la que un único bit $Q_i(k)$ almacenado en la memoria de focalización MEM-FOC determina si, para la siguiente muestra de salida $s_i(k)$, debe adelantarse ($Q=1$) o no ($Q=0$) un cuanto de reloj ($1/L$) el valor actual de retardo fraccional. La lógica asociada es un simple contador F de $b = \log_2 L$ bits que selecciona el conjunto de coeficientes a aplicar para el actual retardo fraccional.

Una de las ventajas de esta realización es que se puede implementar todo el filtro FIR de interpolación con una única celda DSP-48. En efecto, si la frecuencia de operación de estas celdas es de 320 MHz y la de muestreo de 40 MHz, puede calcularse la muestra con retardo fraccional en un filtro FIR de hasta $P = 8$ coeficientes. Esto es independiente de la resolución temporal requerida (L) aunque, típicamente, $L \leq P$. Para su realización eficiente, se modifican a alta frecuencia (320 MHz) los valores de los coeficientes que habrán sido almacenados previamente en una memoria local, cuyo tamaño depende de L y P .

En una realización menos eficiente, el filtro fraccional usaría P ciclos de reloj para obtener el resultado antes de sumarlo con los de otros canales. Sin embargo, con la estructura propuesta, en cada ciclo de reloj se obtiene un resultado parcial del filtrado, que se suma con los correspondientes resultados parciales de otros canales. Sólo hace falta así un acumulador al final de la cadena de sumadores, realizando la interpolación y suma coherente en paralelo. No hay problemas de desbordamiento ya que las sumas se hacen con 48 bits de precisión, permitiendo la realización de sistemas con miles de canales.

La lógica de control es mínima y, además, al ser una arquitectura segmentada, facilita la realización de sistemas con un número arbitrario de canales por mera replicación del elemento

conformador descrito. Es más, al operar las entradas y salidas a la frecuencia de muestreo, el procesamiento puede extenderse a varios dispositivos FPGAs.

La escalabilidad de la arquitectura es atractiva para aplicaciones de END (Evaluación No Destructiva), donde se utilizan transductores con un número de elementos diverso, desde 16 en los sistemas de gama más baja, a 256. Pero también es interesante para el desarrollo de un sistema experimental de detección de cáncer de mama, en el que estamos involucrados, con un anillo de hasta 2048 transductores [13].

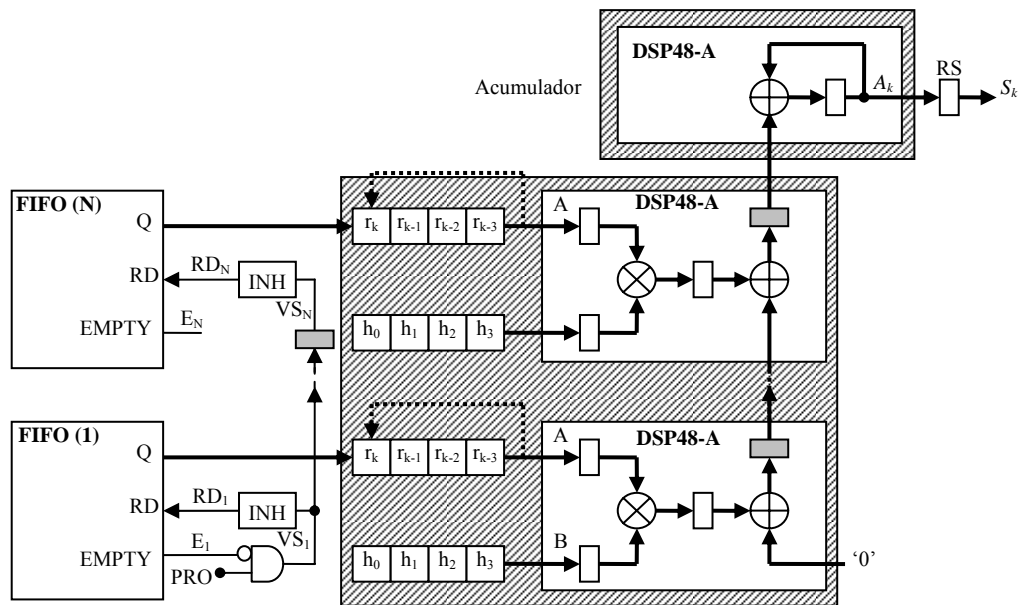


Figura 3. Arquitectura sistólica modular para N canales

ESTRUCTURA SISTÓLICA PARA N CANALES

La Figura 3 muestra una realización modular eficiente para N canales, que utiliza, por canal, una única celda DSP-48A de las FPGAs de Xilinx. La realización actual requiere $N+1$ celdas, incluyendo una para el acumulador final. En el ejemplo mostrado se realiza una interpolación con $L=4$ y $P=4$ coeficientes.

Para cada posible valor del retardo fraccional, hay un juego completo $\{h_0, h_1, h_2, h_3\}$ de coeficientes, almacenado en una memoria local. En este caso, la memoria debe tener 4 juegos de coeficientes, con lo que el almacenamiento requerido es de 16 valores. Esta memoria se realiza muy eficientemente con bloques de memoria distribuida que forman parte de la lógica convencional de la FPGA y que se ubicarán próximos a su celda DSP-48A para optimizar el rendimiento.

Por su parte, las muestras leídas del FIFO se almacenan en un registro de desplazamiento con estructura circular, de 4 posiciones. En general, cada lectura sustituye a la muestra más antigua en este registro circular, con una excepción: Cuando la lógica de focalización indica que debe adelantarse $\frac{1}{4}$ de periodo de reloj de muestreo y el retardo actual es entero, debe utilizarse el mismo conjunto de muestras presente en el registro de desplazamiento para obtener la siguiente muestra interpolada a $\frac{3}{4}$ del periodo de muestreo. Esta situación, que se detecta fácilmente con lógica combinacional, bloquea la lectura del FIFO (bloque INH) y el procesamiento continúa normalmente.

Únicamente se opera con alta frecuencia de conmutación (en este caso 4 veces la de muestreo) en la parte sombreada, fundamentalmente basada en celdas DSP-48A y bloques de memoria distribuida que, en los dispositivos actuales, pueden operar a frecuencias de hasta

500 MHz. El registro final RS almacena la suma de resultados parciales A_k cada P ciclos y, por tanto, la salida de la suma coherente S_k se entrega a la frecuencia de muestreo. Esta salida puede utilizarse, por tanto, para enlazar múltiples dispositivos entre sí, sin problema alguno para frecuencias de muestreo típicamente inferiores a los 50 MHz.

Debe destacarse la reducción del consumo de recursos hardware con esta arquitectura. Para un sistema de N canales, con un factor de interpolación L y filtros de P coeficientes, la cantidad total C de operaciones MACC (multiplica y suma) de un conformador convencional es:

$$C_{convencional} = N \cdot P \cdot (L - 1) + N - 1 \quad (7)$$

Para la arquitectura sistólica propuesta,

$$C_{sistolica} = N \cdot \left\lceil P \frac{f_s}{f_c} \right\rceil + 1 \quad (8)$$

donde $\lceil \cdot \rceil$ representa el redondeo hacia arriba del argumento, f_s es la frecuencia de muestreo y f_c la de conmutación de la celda DSP-48. En esta ecuación L no interviene pues sólo afecta al tamaño de la memoria local de coeficientes.

Por ejemplo, para $N=128$, $P=8$, $L=8$ y una relación $f_s/f_c = 1/8$ ($f_s = 40$ MHz para transductores de hasta 10 MHz, $f_c = 320$ MHz), resulta:

$$\begin{aligned} C_{convencional} &= 7295 \text{ operadores MACC} \\ C_{sistolica} &= 129 \text{ operadores MACC} \end{aligned}$$

esto es, una reducción de 50:1. En particular, este conformador es realizable en un único dispositivo FPGA de bajo coste, como la XC6SLX100 de la familia Spartan-6 de Xilinx, con algunas DSP-48 adicionales para transferir datos entre columnas de celdas (dispone de 180 celdas). Un conformador convencional de prestaciones análogas, realizado por nuestro grupo (tecnología SITAU) requirió 20 dispositivos XC3S1000 de la familia Spartan, montados en cuatro tarjetas de circuito impreso [14].

CONFORMADORES EN PARALELO

Además del interés de realizar un ecógrafo completo en un chip, la arquitectura propuesta tiene otras posibles aplicaciones. Una posibilidad es la de realizar múltiples conformadores operando en paralelo. Así, para un barrido sectorial clásico (ecografía médica y END), el número de líneas que componen la imagen debe ser [5]:

$$NL = \frac{2D}{\lambda} (\sin \theta_b - \sin \theta_a) \quad (9)$$

donde θ_a y θ_b expresan los ángulos extremos de deflexión, D es el tamaño de la apertura y λ es la longitud de onda. Para una deflexión típica entre -45° y $+45^\circ$ y una apertura de 64λ (128 elementos a intervalos $\lambda/2$), resulta $NL= 181$ líneas. Para una visualización a una cadencia de 25 imágenes/s (ecografía médica e industrial), el tiempo dedicado a adquirir cada línea no puede ser superior a 220 μ s que, en ida y vuelta en tejidos biológicos (velocidad de propagación ≈ 1480 m/s), representa una profundidad máxima de 163 mm. Esto está al límite de las necesidades de ecografía abdominal y otras.

Se puede mejorar la tasa de refresco de las imágenes por un factor F con otros tantos conformadores operando en paralelo. Dado el escaso consumo de recursos de la arquitectura propuesta, esta opción es perfectamente viable.

Para ello, en emisión, se realiza un control de los disparos de forma que la anchura angular del haz en la región de interés sea, al menos, F veces mayor que la del haz en recepción. Esta viene dada, con focalización dinámica, por:

$$\alpha = \frac{\lambda}{D} \text{ rad} \quad (10)$$

En recepción, los F conformadores operan sobre F líneas a intervalos angulares α . En la práctica, pueden utilizarse los mismos códigos de focalización dinámica para todos los conformadores, variando únicamente el retardo inicial M_i aplicado a cada canal para cada haz.

Esta alternativa no requiere multiplicar por F el número de recursos hardware. Por un lado, todos los conformadores comparten la memoria de muestras (FIFOs) y buena parte de la lógica de control que incluye la memoria de focalización. Por otra, si la velocidad de las celdas es suficiente, esto es, la relación f_s/f_c es baja, la misma celda DSP-48 puede usarse consecutivamente para varios conformadores. En el ejemplo anterior, si la frecuencia de muestreo se reduce a la mitad, se utilizaría el mismo número de celdas para 2 conformadores.

En un caso extremo se podrían realizar tantos conformadores como líneas componen la imagen. Para ello, se realiza un disparo omnidireccional desde uno de los elementos del array (o un subconjunto de elementos para aumentar la energía emitida). Cada conformador obtiene una línea de la imagen a partir de los datos adquiridos sobre las memorias FIFO, almacenándose en memorias locales.

En un caso mixto, si se dispone de F conformadores para una imagen de NL líneas, el proceso se repite NL/F veces. Por ejemplo, si $F=8$, para $NL=181$, el proceso habría que repetirlo 23 veces que, a $220 \mu\text{s}$ por línea adquirida y procesada, representa unos 5 ms por imagen (200 imágenes/s).

Repetiendo el disparo con otro elemento hasta $N=128$, se obtienen otras tantas imágenes parciales que, una vez compuestas, realizan una imagen SAFT $N(1, N)$, considerada la mejor posible al estar enfocada en emisión y recepción [15], en un tiempo de 0.65 segundos, que se aproxima bastante a un SAFT completo en tiempo real. Además, existen alternativas casi equivalentes con un número más reducido de disparos [16]. En cualquier caso, se pueden utilizar dispositivos con mayor número de recursos DSP-48 o múltiples dispositivos si esta velocidad no fuera suficiente.

CONCLUSIONES

Se ha descrito una arquitectura sistólica para un conformador de haces ultrasónicos basada en celdas de procesamiento digital disponibles en los dispositivos FPGA actuales. Su principio de operación se deriva de una reformulación de las ecuaciones de un conformador estándar, que facilita realizar concurrentemente las operaciones de interpolación para obtener una alta resolución de los retardos de focalización con la suma coherente.

La arquitectura propuesta utiliza un mínimo de recursos, pudiendo llegar a reducir por un factor superior a 50 los requeridos por otras arquitecturas convencionales. Como consecuencia, permite la realización de un ecógrafo completo de 128 canales, con focalización dinámica, en un único dispositivo FPGA de bajo coste. Adicionalmente, al utilizar recursos dedicados implementados en silicio, el consumo energético es menor que el de otras aproximaciones. Por otra parte, las FPGAs facilitan la actualización o la incorporación de nuevas funcionalidades sin los costes de desarrollo asociados a la tecnología ASIC.

Una característica adicional es que permite su implantación en uno o múltiples dispositivos FPGA, en función de los requisitos de la aplicación, sin mayores cambios. Pueden definirse el número de canales, la cantidad de celdas DSP utilizadas por canal, la resolución de los retardos y la precisión de los filtros de interpolación de forma intercambiable para un número determinado de recursos.

Debido a su bajo consumo de recursos, es una arquitectura que facilita la realización de conformadores multi-haz, operando en paralelo. Esto permite elevar la tasa de refresco de las imágenes o, alternativamente, construir sistemas de apertura sintética de alta calidad (focalización dinámica en emisión y recepción) que operen prácticamente en tiempo real.

La arquitectura es modular, permitiendo el escalado de los sistemas en el número de canales, frecuencia de muestreo, resolución temporal, número de conformadores operando en paralelo y número de dispositivos utilizados.

AGRADECIMIENTOS

Este trabajo ha sido realizado con financiación del proyecto DPI-2010-17648 del Ministerio de Ciencia e Innovación.

REFERENCIAS

1. D. K. Peterson, G. S. Kino, "Real-time digital image reconstruction: A description of image hardware and an analysis of quantization errors", *IEEE Trans. on Sonics and Ultrasonics*, vol. 31, no. 4, pp. 337-351, 1984.
2. C. Fritsch, J. Camacho, M. Parrilla, "New ultrasound imaging techniques with Phase Coherence Processing", *Ultrasonics*, 50, pp. 122-126, 2010.
3. C. H. Hu, X. C. Xu, J. M. Cannata, J. T. Yen, K. K. Shung, "Development of a Real-Time, High-Frequency Ultrasound Digital Beamformer for High-Frequency Linear Array Transducers", *IEEE Trans. UFFC*, 53, 2, pp. 317-323, 2006.
4. R. A. Mucci, "A Comparison of Efficient Beamforming Algorithms", *IEEE Trans. Acoust., Speech and Signal Proc.*, 32, 3, pp. 548-558, 1984.
5. J. Camacho, "Imagen ultrasónica por coherencia de fase", *Tesis Doctoral*, Universidad Complutense, Madrid, 2010.
6. S. R. Freeman, M.K. Quick, M. A. Morin, R. C. Anderson, C. S. Desilets, T. E. Linnenbrink, M. O'Donnell, "An ultrasound beamformer using oversampling", *Proc. IEEE Ultrason Symp.*, pp. 1687-1690, 1997.
7. M. Kozak, M. Karaman, "Digital phased array beamforming using single-bit delta-sigma conversion with non-uniform oversampling", *IEEE Trans. UFFC*, 48, 4, pp. 922-930, 2001.
8. T. K. Song, S. B. Park, "A new phased array system for dynamic focusing and steering with reduced sampling rate", *Ultrasonic Imaging*, 12, pp. 1-16, 1990.
9. C. Fritsch, M. Parrilla, A. Ibáñez, R. Giacchetta, O. Martínez, "The Progressive Focusing Correction Technique for Ultrasound Beamforming", *IEEE Trans. UFFC*, 53, 10, pp. 1820-1831, 2006.
10. T. I. Laakso, V. Valimaki, M. Karjalainen, U.K.Laine, "Splitting the Unit Delay", *IEEE Sig. Proc. Magazine*, pp. 30-58, Jan. 1996.
11. M. Karaman, A. Atalar, H. Köymen, "VLSI circuits for adaptive digital beamforming in ultrasound imaging", *IEEE Trans. Medical Imaging*, 12, 4, pp. 711-720, 1993.
12. Xilinx Inc., "XtremeDSP for Virtex-4 FPGAs", UG 073, 2008.
13. J. Camacho, J. Brizuela, J. M. Moreno, J. F. Cruza, C. Fritsch, "Instrumentación para tomografía ultrasónica médica y primeras imágenes", *Tecniacústica*, Cáceres, 26-28 Oct. de 2011.
14. J. Camacho, A. Ibáñez, M. Parrilla and C. Fritsch, "A Front-End Ultrasound Array Processor based on LVDS Analog-to-Digital Converters", *Proc. IEEE Ultrason. Symp.*, pp. 1631-1634, 2006.
15. M. Nikolov, V. Behar, "Analysis and optimization of synthetic aperture ultrasound imaging using the effective aperture approach", *Int. J. Information Theory & Applications*, 12, pp. 257-265, 2005.
16. G. R. Lockwood, J. R. Talman, S. S. Brunke, "Real-time Ultrasound 3D-Imaging Using Sparse Synthetic Aperture Beamforming", *IEEE Trans. UFFC*, 45, 4, pp. 980-988, 1998.